

PAT-NO: JP406268178A .  
DOCUMENT-IDENTIFIER: JP 06268178 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: September 22, 1994

INVENTOR-INFORMATION:  
NAME  
MORIYAMA, ICHIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SONY CORP N/A

APPL-NO: JP05048498  
APPL-DATE: March 10, 1993

INT-CL (IPC): H01L027/112, H01L021/265

ABSTRACT:

PURPOSE: To enable sure impurity implantation and control of threshold value even if a depth from a surface of an upper layer film to a set region varies by setting ion implantation energy to position a concentration peak of impurities below a set region of a semiconductor substrate whereto impurities of a semiconductor substrate is to be introduced.

CONSTITUTION: A gate oxide film 12 and a field oxide film 13 are formed in a p-type silicon substrate 11. After polysilicon is deposited, gate electrodes 14a to 14c, etc., are formed by patterning. Then, arsenic As of n-type

impurities is implanted to form an impurity diffusion region 15 by using the gate electrode, etc., as a mask. A first layer insulation film 16 and a second layer insulation film 18 are formed as an upper layer film.

Boron B of p-type impurities is implanted using resist 19 applied to the second layer insulation film 18 as a mask. This ion implantation is performed under the conditions that a concentration peak of impurities is located below a region of the silicon substrate 11 whereto impurities are introduced.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268178

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/112

21/265

識別記号

庁内整理番号

7210-4M

8617-4M

F I

H 0 1 L 27/ 10

21/ 265

4 3 3

W

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-48498

(22)出願日 平成5年(1993)3月10日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 森山 一郎

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

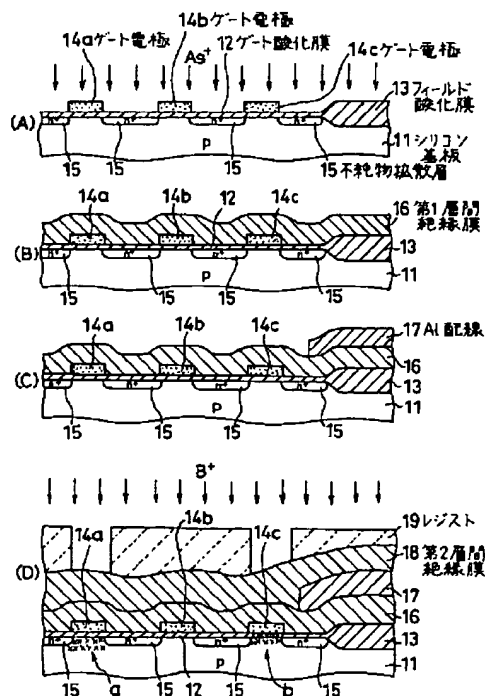
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 TATを短く、且つ上層膜の厚さのバラツキに拘らず基板中への不純物導入を、適当な濃度で可能とする半導体装置の製造方法を提供する。

【構成】 シリコン基板11に形成した所定トランジスタの上方にレジスト19の開口を形成し、基板11の不純物を導入すべき領域の下側に不純物濃度のピークがくるように注入エネルギーを設定してイオン注入を行なう。このため、上層膜厚のバラツキに拘らずシリコン基板11の不純物を導入すべき領域へ确实且つ適当濃度の不純物導入が可能となり、しきい値制御が良好に行なえる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に上層膜を形成した後、マスクパターンを形成して該半導体基板中の不純物を導入すべき設定領域へイオン注入する工程を備えた半導体装置の製造方法において、

上記イオン注入の注入エネルギーを、上記半導体基板中に注入される不純物の濃度ピークが上記設定領域より下側に位置するように設定することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に上層膜を形成した後、マスクパターンを形成して該半導体基板中の不純物を導入すべき設定領域へイオン注入する工程を備えた半導体装置の製造方法において、

上記イオン注入工程は、不純物の濃度ピークが上記形成領域より下側に位置するような注入エネルギーで行なうイオン注入と、該設定領域の中間部に不純物の濃度ピークが位置するような注入エネルギーで行なうイオン注入と、を含む複数のイオン注入を行なうことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関し、例えばマスクROMなどの半導体メモリのメモリセル用トランジスタのしきい値制御の改善に係わる。

## 【0002】

【従来の技術】従来、この種の半導体装置としては、情報データの記憶をLSIのチップ製造工程で用いるマスクによってプログラムすることのできるマスクROMをあげることができる。図4は、マスクROMの要部断面図であり、特にメモリセル用トランジスタのチャネル領域にしきい値制御用のイオン注入を行なっている状態を示している。図4に示すマスクROMの製造方法は、まず、p型のシリコン基板1上にゲート酸化膜2及びフィールド酸化膜3を形成する。その後、ポリシリコンで成るゲート電極4a、4b、4cなどを形成し、第1層間絶縁膜6、A1配線7、第2層間絶縁膜8を順次形成する。次に、レジスト9をプログラムに従ってパターンニングし、レジスト9に形成した開口部が所定のトランジスタのチャネルを形成する活性領域の上方に位置するようにする。次いで、p型不純物、例えばホウ素(B)をシリコン基面表面に濃度ピークがくるような注入エネルギーでイオン注入し、トランジスタのしきい値電圧を変えることにより、データを書き込む。即ち、このような方法により、メモリセル用トランジスタは、エンハンスメント型とデプレッション型ものとなり、情報の“0”や“1”となる。このようなマスクROMの書き込み方法に関しては、例えば「月刊日経マイクロデバイス、1991年12月号第104～109頁に掲載されている。その内容は、第1層配線を形成した後、メモリセル用ト

ランジスタのゲート直下の活性層領域に選択的にイオン注入を行ない、そのトランジスタのしきい値電圧を変えることによりデータを書き込むという方法である。このように、イオン注入工程を、チップ製造プロセスの中間工程に位置させるため、TAT（半導体生産者からユーザーに製品が供給されるまでの時間：Turn Around Time）は長くない利点がある。

## 【0003】

【発明が解決しようとする課題】上記した従来の方法

は、TATを短縮する点において優れているが、トランジスタのゲート電極や層間絶縁膜の膜厚のバラツキにより、トランジスタのしきい値の制御性が悪くなるという問題がある。即ち、図4に示すように、例えばゲート電極4a直下のシリコン基板1表面近くの活性領域には、不純物領域aが適正な位置に形成されるが、層間絶縁膜の膜厚が厚いゲート電極4cの部分では、打ち込まれる不純物の濃度はゲート電極4c内の不純物領域bでピークとなり、下方のシリコン基板1には不純物が到達しない場合がある。このため、しきい値が制御されないトランジスタが生じ、プログラム情報を誤まる問題があった。図2に示すグラフは、イオン注入した際の基板深さに対する不純物濃度のプロファイルを示すものである。上記した従来方法においては、ゲート電極直下のシリコン基板表面付近が不純物濃度のピーク（図2ではAで示す範囲）となるように狙ってイオン注入を行なっている。このため、層間絶縁膜や、ゲート電極の膜厚のバラツキによって、層間絶縁膜表面からシリコン基板表面付近までの深さが長くなると、図2に示すような不純物濃度の分布から判るように、不純物がシリコン基板に到達できなくなり、上記した問題が発生する。

【0004】この発明が解決しようとする課題は、TATが短く、且つトランジスタのしきい値電圧の制御性の高い、半導体装置の製造方法を実現するには、どのような手段を講じればよいかという点にある。

## 【0005】

【課題を解決するための手段】この出願の請求項1記載に係る発明は、半導体基板上に上層膜を形成した後、マスクパターンを形成して該半導体基板中の不純物を導入すべき設定領域へイオン注入する工程を備えた半導体装置の製造方法において、上記イオン注入の注入エネルギーを、上記半導体基板中に注入される不純物の濃度ピークが上記設定領域より下側に位置するように設定すること、その解決手段としている。

【0006】また、この出願の請求項1記載に係る発明は、半導体基板上に上層膜を形成した後、マスクパターンを形成して該半導体基板中の不純物を導入すべき設定領域へイオン注入する工程を備えた半導体装置の製造方法において、上記イオン注入工程は、不純物の濃度ピークが上記形成領域より下側に位置するような注入エネルギーで行なうイオン注入と、該設定領域の中間部に不純

物の濃度ピークが位置するような注入エネルギーで行なうイオン注入と、を含む複数のイオン注入を行なうことを、その解決手段としている。

【0007】

【作用】この出願の請求項1記載に係る発明においては、不純物の濃度ピークが、半導体基板の不純物を導入すべき設定領域の下側に位置するように、イオン注入の注入エネルギーを設定する。このため、上層膜の表面から半導体基板の不純物を導入すべき設定領域までの深さが、上層膜のバラツキにより浅くても、確実に不純物が打ち込まれて例えばしきい値制御が可能となる。即ち、図2のグラフにおけるピーク部の左側（浅い方向）では、濃度の傾斜が、ピーク部の右側（深い方向）より緩いため、例えば同図中Bに示す範囲の濃度となり、問題の生じない濃度とすることができ。一方、上層膜のバラツキにより、シリコン基板の設定領域までの深さが深くなった場合（上層膜が厚い場合）、不純物の濃度ピークまでの深さを深めに設定してあるため、例えば図2中、Aに示す範囲の濃度の設定領域にすることができる。この場合も、十分な濃度のイオン注入が行なわれる。

【0008】このように、図2を用いて説明するならば、濃度ピーク部の範囲Aが設定領域に来るように狙うと、上層膜が設定より厚い場合は、ピークに対して急激に濃度が増加（ $\Delta N_A$ 分）するが、設定領域より下側に濃度ピークがくるように設定しておけば、図中ピークより左側（浅い方向）の濃度変化（ $\Delta N_B$ ）の緩やかな範囲Bであるため、上層膜が厚くても適当なイオン注入が可能となる。このためこの発明をマスクROMに適用すると、上層膜を形成した後に、トランジスタの確実なしきい値制御が可能となり、TATも短くできる。

【0009】また、この出願の請求項2記載に係る発明においては、不純物の濃度ピークの深さが異なるように注入エネルギーの異なる複数のイオン注入を行なう。濃度ピークの深さは、基板の設定領域の下側と中間部でピークとなる2つのイオン注入を少なくとも含む。このため、図3に示すように、各イオン注入の濃度ピークを結ぶ部分が傾きの緩やかな濃度変化（ $\Delta N_C$ ）となり、深さ変動に対するマージンが増える。このため、上層膜の膜厚にバラツキがあった場合でも、設定領域に不純物を確実に適切に導入することが可能となる。

【0010】

【実施例】以下、本発明に係る半導体装置の製造方法の詳細を図面に示す実施例に基づいて説明する。この実施例は、本発明をマスクROMの製造方法に適用した例である。

【0011】先ず、本実施例は、図1（A）に示すように、p型のシリコン基板11に、ゲート酸化膜12及びフィールド酸化膜13を周知の方法で形成する。なお、このゲート酸化膜12の厚さは、10nmとした。次い

で、ポリシリコンを堆積させた後、パターニングを行なってゲート電極14a、14b、14c等をメモリセルの設計に従って形成する。なお、このゲート電極の膜厚は、200nmになるように設定した。その後、ゲート電極等をマスクにして、n型不純物として例えばヒ素（As）を用いてイオン注入を行なってn型の不純物拡散領域15～15を形成する。本実施例では、トランジスタを直列に接続した構造である。

【0012】次に、図1（B）に示すように、例えばBPSGでなる第1層間絶縁膜16をCVD法により400nmの膜厚設定に堆積させる。その後、第1層間絶縁膜16上に、A1でなる膜を例えばスパッタ法にて形成した後、フォトリソグラフィ技術及びエッチング技術を用いて図1（C）に示すようなA1配線17をパターニングする。なお、A1配線17の膜厚は、500nmに設定した。

【0013】その次に、図1（D）に示すように、全面に第2層間絶縁膜18をテトラエトキシシラン（TEOS）を用いるCVD法にて、膜厚400nmの厚さに形成する。このようにして、上層膜として、第1層間絶縁膜16及び第2層間絶縁膜18などを形成すると、A1配線の段差や各種の条件などの影響により、これらの膜厚は場所によってバラツキが生じる。また、ゲート電極の膜厚もバラツキを有する。

【0014】そこで、以下に説明する方法でしきい値制御工程を行なう。

【0015】即ち、第2層間絶縁膜18上にレジスト19をコーティングした後、プログラムに従って、しきい値制御すべきトランジスタのチャネル領域上方のレジスト19を開口するためのフォトリソグラフィ工程を行なう。このようにしてパターニングされたレジスト19は、図1（D）に示す構造に加工され、イオン注入用マスクとなる。

【0016】そして、このレジスト19をマスクとして、p型不純物であるホウ素（B）をイオン注入する。このイオン注入は、シリコン基板11の不純物を導入すべき形成領域（しきい値を制御するために不純物導入が必要となる領域）の下側に不純物濃度のピークが位置する条件で行なう。具体的には、上層膜としての第1、2層間絶縁膜16、18の2層の厚さ寸法が800nmにシリコン基板11表面から10nm程度の深さ寸法を加えた深さより数nm～数十nm深い位置に濃度ピークがくるような330KeVの注入エネルギーとした。このような条件でイオン注入を行なうと、濃度は約3×E14になった。

【0017】このような条件でイオン注入を行なうことにより、図1（D）に示すように、上層膜の厚いゲート電極14cを有するトランジスタのチャネル領域も適当な不純物濃度とすることができ。図1（D）中、a、bは不純物が導入された領域を示している。このように

5

して、上層膜の膜厚にバラツキがあっても、トランジスタのしきい値制御を確実にこなうことができた。

【0018】また、本実施例においては、しきい値制御のイオン注入が1種類であるが、同じ導電型の不純物を注入エネルギーを変えた2種類以上のイオン注入を行なえば、より不純物濃度を均一にすることができる。この方法は、1つのイオン注入で不純物を導入すべき形成領域の下側に濃度ピークがくるように注入エネルギーを設定し、もう1つのイオン注入で形成領域内に濃度ピークがくるように注入エネルギーを設定すればよい。このため、図3に示すように、範囲Cが略均一な濃度となり、多少の深さのバラツキがあっても、適切な不純物濃度が得られる。上記実施例に示す構造では、330KeVのイオン注入と280KeVのイオン注入を少なくとも行なえばよい。

【0019】以上、実施例について説明したが、本発明はこれに限定されるものではなく、各種の設計変更が可能である。また、上記実施例は、本発明をマスクROMの製造方法に適用して説明したが、他の半導体装置の製造に適用することも可能である。

【0020】

【発明の効果】以上の説明から明らかなように、この出

6

願の請求項1及2記載の発明によれば、半導体基板上の上層膜の膜厚にバラツキがあっても、基板中に適切なイオン注入が行なえる効果がある。

【0021】特に、本発明をマスクROMの製造に適用すれば、トランジスタのゲート電極や層間絶縁膜の膜厚のバラツキがあっても、プログラムしたトランジスタの特性(しきい値電圧)の変動を最少限に抑え、しかもTATを短くできる効果を奏する。

【図面の簡単な説明】

【図1】(A)～(D)は本発明の実施例を示す工程断面面図。

【図2】基板へのイオン注入における深さと不純物濃度の関係を示すグラフ。

【図3】注入エネルギーを異にするイオン注入を行った場合の注入深さと不純物濃度の関係を示すグラフ。

【図4】従来例の断面図。

【符号の説明】

11…シリコン基板

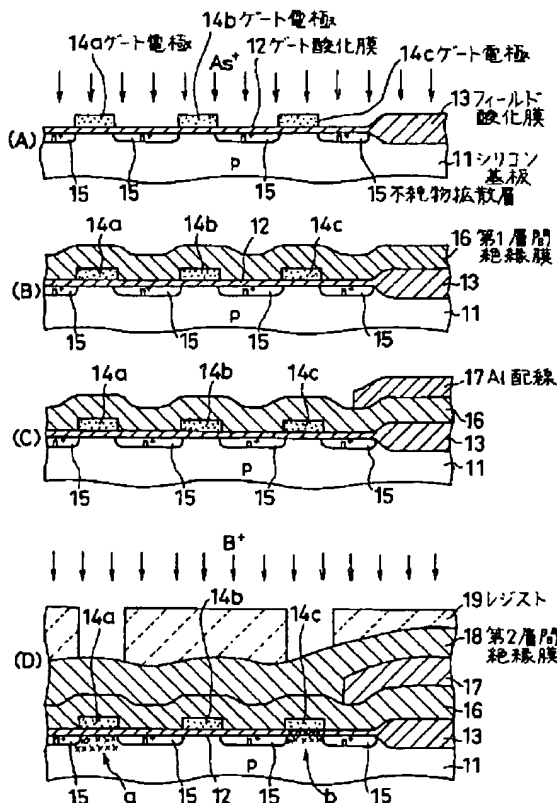
14a, 14b, 14c…ゲート電極

16…第1層間絶縁膜

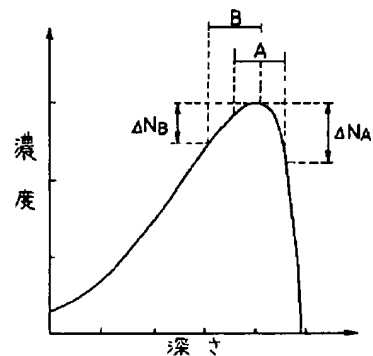
18…第2層間絶縁膜

19…レジスト

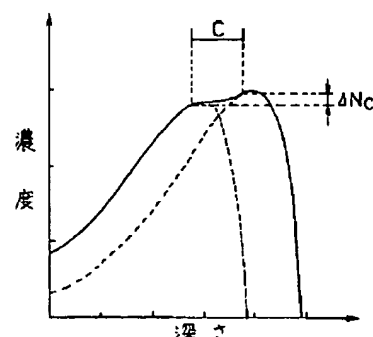
【図1】



【図2】



【図3】



【図4】

